

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toshiki SESHITA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR LASER DRIVING CIRCUIT AND OPTICAL COMMUNICATION APPARATUS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2003-151390

May 28, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

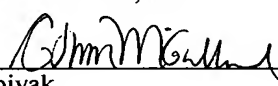
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-078200

(43)Date of publication of application : 14.03.2003

(51)Int.Cl.

H01S 5/042

(21)Application number : 2001-264258

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.08.2001

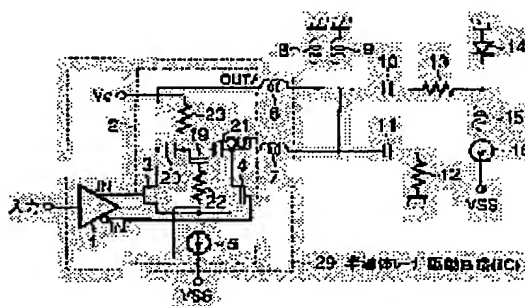
(72)Inventor : SESHIMO TOSHIKI

## (54) SEMICONDUCTOR LASER DRIVING CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve driving current waveform without increasing any developing period or mounting area.

**SOLUTION:** An output circuit 2 in a semiconductor laser driving circuit 29 is constituted of an open drain type differential circuit constituted of FET 3 and 4 and a constant current source 5 and an RC filter circuit. The RC filter circuit is constituted of an FET 19, a capacitor 20 connected between the drain terminal of the FET 3 and the source/drain terminal of the FET 19, a capacitor 21 connected between the drain terminal of the FET 4 and the source/drain terminal of the FET 19, a resistance 22 connected between the gate terminal of the FET 19 and a lower potential side power source terminal, and a resistance 23 connected between the connection of the FET 19 and the capacitor 20 and the control terminal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-78200

(P2003-78200A)

(43) 公開日 平成15年3月14日 (2003.3.14)

(51) Int.Cl.<sup>7</sup>

H 0 1 S 5/042

識別記号

6 3 0

F I

H 0 1 S 5/042

テーマコード(参考)

6 3 0 5 F 0 7 3

審査請求 未請求 請求項の数16 O L (全 13 頁)

(21) 出願番号 特願2001-264258(P2001-264258)

(22) 出願日 平成13年8月31日 (2001.8.31)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 瀬下 敏樹

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン  
ター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

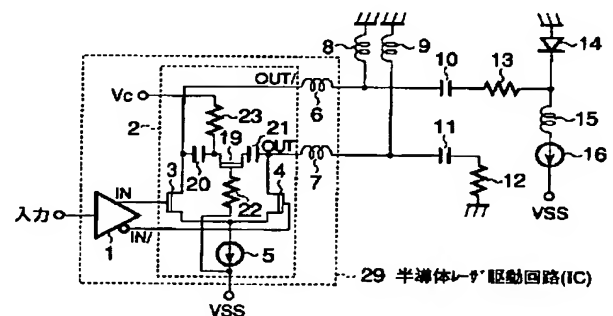
Fターム(参考) 5F073 EA13 GA24 GA25

(54) 【発明の名称】 半導体レーザ駆動回路

(57) 【要約】

【課題】 開発期間、実装面積の増大なく、駆動電流波形の改善を図る。

【解決手段】 半導体レーザ駆動回路29内の出力回路2は、FET3、4及び定電流源5からなるオープンドレイン型差動回路と、RCフィルタ回路から構成される。RCフィルタ回路は、FET19と、FET3のドレイン端子とFET19のソース・ドレイン端子との間に接続されるキャパシタ20と、FET4のドレイン端子とFET19のソース・ドレイン端子との間に接続されるキャパシタ21と、FET19のゲート端子と低電位側電源端子との間に接続される抵抗22と、FET19とキャパシタ20の接続点と制御端子との間に接続される抵抗23とから構成される。



1

## 【特許請求の範囲】

【請求項 1】 一対のトランジスタと、前記一対のトランジスタの共通接続点と低電位側電源端子との間に接続された定電流源とからなる差動回路を出力回路として使用した半導体レーザ駆動回路において、前記差動回路の相補出力端子間にフィルタ回路を具備し、前記フィルタ回路は、

トランスファゲート FET と、

前記トランスファゲート FET のソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第 1 容量素子と、

前記トランスファゲート FET の前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第 1 容量素子の容量値と等しい容量値を持つ第 2 容量素子と、

前記トランスファゲート FET のゲート端子と低電位側電源端子との間に接続された抵抗素子と、

前記トランスファゲート FET の前記ソース・ドレイン端子の一つと制御端子との間に接続された抵抗素子とから構成されることを特徴とする半導体レーザ駆動回路。

【請求項 2】 一対のトランジスタと、前記一対のトランジスタの共通接続点と低電位側電源端子との間に接続された定電流源とからなる差動回路を出力回路として使用した半導体レーザ駆動回路において、前記差動回路の相補出力端子間にフィルタ回路を具備し、前記フィルタ回路は、

トランスファゲート FET と、

前記トランスファゲート FET のソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第 1 容量素子と、

前記トランスファゲート FET の前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第 1 容量素子の容量値と等しい容量値を持つ第 2 容量素子と、

前記トランスファゲート FET のゲート端子と制御端子との間に接続された抵抗素子と、

前記トランスファゲート FET の前記ソース・ドレイン端子の一つと高電位側電源端子との間に接続された抵抗素子とから構成されることを特徴とする半導体レーザ駆動回路。

【請求項 3】 前記制御端子に与えられる電圧により前記トランスファゲート FET のオン抵抗を制御し、前記フィルタ回路の特性を変化させることを特徴とする請求項 1 又は 2 記載の半導体レーザ駆動回路。

【請求項 4】 一対のトランジスタと、前記一対のトランジスタの共通接続点と低電位側電源端子との間に接続された定電流源とからなる差動回路を出力回路として使用した半導体レーザ駆動回路において、前記差動回路の相補出力端子間に互いに並列に接続された複数のフィルタ回路を具備し、前記複数のフィルタ回路の各々は、

2

トランスファゲート FET と、

前記トランスファゲート FET のソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第 1 容量素子と、

前記トランスファゲート FET の前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第 1 容量素子の容量値と等しい容量値を持つ第 2 容量素子と、

前記トランスファゲート FET のゲート端子と低電位側電源端子との間に接続された抵抗素子と、

前記トランスファゲート FET の前記ソース・ドレイン端子の一つと制御端子との間に接続された抵抗素子とから構成され、

前記第 1 及び第 2 容量素子の容量値は、フィルタ回路ごとに異なることを特徴とする半導体レーザ駆動回路。

【請求項 5】 一対のトランジスタと、前記一対のトランジスタの共通接続点と低電位側電源端子との間に接続された定電流源とからなる差動回路を出力回路として使用した半導体レーザ駆動回路において、前記差動回路の相補出力端子間に互いに並列に接続された複数のフィルタ回路を具備し、前記複数のフィルタ回路の各々は、

トランスファゲート FET と、

前記トランスファゲート FET のソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第 1 容量素子と、

前記トランスファゲート FET の前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第 1 容量素子の容量値と等しい容量値を持つ第 2 容量素子と、

前記トランスファゲート FET のゲート端子と制御端子との間に接続された抵抗素子と、

前記トランスファゲート FET の前記ソース・ドレイン端子の一つと高電位側電源端子との間に接続された抵抗素子とから構成され、

前記第 1 及び第 2 容量素子の容量値は、フィルタ回路ごとに異なることを特徴とする半導体レーザ駆動回路。

【請求項 6】 前記制御端子に与えられる電圧により前記トランスファゲート FET のオン抵抗を制御し、前記複数のフィルタ回路の特性をフィルタ回路ごとに変化させることを特徴とする請求項 5 又は 6 記載の半導体レーザ駆動回路。

【請求項 7】 一対のトランジスタと、前記一対のトランジスタの共通接続点と低電位側電源端子との間に接続された定電流源とからなる差動回路を出力回路として使用した半導体レーザ駆動回路において、前記差動回路の相補出力端子間にフィルタ回路を具備し、前記フィルタ回路は、

第 1 トランスファゲート FET と、

前記第 1 トランスファゲート FET のソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続され

3

た第1容量素子と、  
 前記第1トランスファゲートFETの前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第1容量素子の容量値と等しい容量値を持つ第2容量素子と、  
 前記第1トランスファゲートFETのゲート端子と低電位側電源端子との間に接続された抵抗素子と、  
 前記第1トランスファゲートFETの前記ソース・ドレイン端子の一つと制御端子との間に接続された抵抗素子と、  
 第2トランスファゲートFETと、  
 前記第2トランスファゲートFETのソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第3容量素子と、  
 前記第2トランスファゲートFETの前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第3容量素子の容量値と等しい容量値を持つ第4容量素子と、  
 前記第2トランスファゲートFETのゲート端子と前記制御端子との間に接続された抵抗素子と、  
 前記第2トランスファゲートFETの前記ソース・ドレイン端子の一つと高電位側電源端子との間に接続された抵抗素子とから構成されることを特徴とする半導体レーザ駆動回路。

【請求項8】 前記第1及び第2容量素子の容量値は、前記第3及び第4容量素子の容量値と異なることを特徴とする請求項7記載の半導体レーザ駆動回路。

【請求項9】 前記制御端子に与えられる電圧により前記第1及び第2トランスファゲートFETのオン抵抗を制御し、前記フィルタ回路の特性を変化させることを特徴とする請求項7記載の半導体レーザ駆動回路。

【請求項10】 一対のトランジスタと、前記一対のトランジスタの共通接続点と低電位側電源端子との間に接続された定電流源とからなる差動回路を出力回路として使用した半導体レーザ駆動回路において、前記差動回路の相補出力端子間に互いに並列に接続された複数のフィルタ回路を具備し、前記複数のフィルタ回路の各々は、第1トランスファゲートFETと、  
 前記第1トランスファゲートFETのソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第1容量素子と、  
 前記第1トランスファゲートFETの前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第1容量素子の容量値と等しい容量値を持つ第2容量素子と、  
 前記第1トランスファゲートFETのゲート端子と低電位側電源端子との間に接続された抵抗素子と、  
 前記第1トランスファゲートFETの前記ソース・ドレイン端子の一つと制御端子との間に接続された抵抗素子と、

4

第2トランスファゲートFETと、  
 前記第2トランスファゲートFETのソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第3容量素子と、  
 前記第2トランスファゲートFETの前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第3容量素子の容量値と等しい容量値を持つ第4容量素子と、  
 前記第2トランスファゲートFETのゲート端子と前記制御端子との間に接続された抵抗素子と、  
 前記第2トランスファゲートFETの前記ソース・ドレイン端子の一つと高電位側電源端子との間に接続された抵抗素子とから構成されることを特徴とする半導体レーザ駆動回路。

【請求項11】 前記第1及び第2容量素子の容量値は、前記第3及び第4容量素子の容量値と異なることを特徴とする請求項10記載の半導体レーザ駆動回路。

【請求項12】 前記第1及び第2容量素子の容量値は、フィルタ回路ごとに異なり、かつ、前記第3及び第4容量素子の容量値は、フィルタ回路ごとに異なることを特徴とする請求項10記載の半導体レーザ駆動回路。

【請求項13】 前記制御端子に与えられる電圧により前記第1及び第2トランスファゲートFETのオン抵抗を制御し、前記複数のフィルタ回路の特性を変化させることを特徴とする請求項10記載の半導体レーザ駆動回路。

【請求項14】 前記トランジスタは、FET又はバイポーラトランジスタであることを特徴とする請求項1、2、4、5、7及び10のいずれか1項に記載の半導体レーザ駆動回路。

【請求項15】 前記トランスファゲートFETは、直列接続された複数のFETから構成されることを特徴とする請求項1、2、4、5、7及び10のいずれか1項に記載の半導体レーザ駆動回路。

【請求項16】 請求項1、2、4、5、7及び10のいずれか1項に記載の半導体レーザ駆動回路と、前記半導体レーザ駆動回路の前記一対のトランジスタの一方に接続される第1直流成分カット用キャパシタと、前記半導体レーザ駆動回路の前記一対のトランジスタの他方に接続される第2直流成分カット用キャパシタと、前記第1直流成分カット用キャパシタと半導体レーザ素子との間に接続されるダンピング抵抗と、前記第2直流成分カット用キャパシタに接続される調整抵抗とを具備することを特徴とする半導体レーザ駆動システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体レーザ素子を駆動する半導体レーザ駆動回路に関する。

【0002】

【従来の技術】半導体レーザ駆動回路の性能の重要な指

5

標として、駆動電流の立ち上がり時間  $t_r$  及び立ち下がり時間  $t_f$  がある。

【0003】半導体レーザを高速に駆動するためには、これら立ち上がり時間  $t_r$  及び立ち下がり時間  $t_f$  を短くすることが要求される。しかし、立ち上がり時間  $t_r$  及び立ち下がり時間  $t_f$  を短くすると、主として、半導体レーザ駆動回路の最終出力段の出力端から半導体レーザ素子までの間に存在する寄生容量や寄生インダクタンスの影響により、駆動電流波形に、オーバーシュート、アンダーシュート及びリングングなどの波形劣化が生じる。

【0004】ところで、上述の寄生容量及び寄生インダクタンスは、具体的には、半導体レーザ駆動回路（IC）が搭載されるパッケージ内のボンディングワイヤ、リード、プリント基板上の信号線などが原因となって発生するものである。また、上述の寄生容量及び寄生インダクタンスには、半導体レーザ素子内に存在する寄生容量及び寄生インダクタンスも含まれる。

【0005】従って、上述の寄生容量や寄生インダクタンスをなくすることは不可能であり、結果として、半導体レーザ駆動回路の特性のみを向上させても、オーバーシュート、アンダーシュート及びリングングなどの駆動電流波形の劣化の問題が解決されることはない。

【0006】この問題に対しては、従来、レーザ駆動回路と半導体レーザ素子の間に RC フィルタを接続するという対策が知られている。そこで、この対策について簡単に説明することにする。

【0007】図 11 は、従来の半導体レーザ駆動回路（IC）を示している。

【0008】本例の半導体レーザ駆動回路は、増幅器 1 と、増幅器 1 の出力信号を受ける出力回路 2 とから構成される。増幅器 1 は、単相信号を両相信号に変換する機能を有する。出力回路 2 は、ソースが互いに接続された 2 つの FET 3、4 と、FET 3、4 のソースと低電位（本例では、マイナス電位 VSS）側電源端子との間に接続された定電流源 5 とから構成される。

【0009】インダクタンス 6、7 は、ボンディングワイヤやパッケージリードなどが原因となる寄生インダクタンスを表している。なお、本例では、簡単のため、寄生成分の代表的なものとして、インダクタンス 6、7 のみを示した。

【0010】半導体レーザ駆動回路（IC）29 は、プリント基板上に実装される。FET 3、4 及び定電流源 5 からなる差動回路は、一般に、高速スイッチング特性に優れていることが知られており、半導体レーザ駆動回路 29 の出力回路 2 として、広く用いられている。

【0011】インダクタンス 8、9 は、チョークコイルであり、出力回路 2 に高電位（本例では、接地電位 V<sub>GN</sub>D）を与える。10、11 は、半導体レーザ駆動回路 29 の出力信号から直流成分をカットする大容量キャパ

6

シタである。

【0012】半導体レーザ素子 14 は、ダンピング抵抗 13 を介してキャパシタ 10 の出力側端子に接続されると共に、チョークコイル 15 及び直流バイアス電流源 16 を介して低電位 VSS 側電源端子に接続される。

【0013】キャパシタ 17 及び抵抗 18 は、RC フィルタを構成している。RC フィルタは、ダンピング抵抗 13 と共に、駆動電流波形に、オーバーシュート、アンダーシュート及びリングングが発生することを防止する。

【0014】負荷抵抗 12 は、出力回路（差動回路）2 の 2 つの出力端子に生じる負荷の大きさを互いに等しくするためのものである。

【0015】

【発明が解決しようとする課題】ダンピング抵抗 13 の抵抗値、並びに、RC フィルタ内のキャパシタ 17 の容量値及び抵抗 18 の抵抗値は、波形劣化の度合いに応じて調節されるべきものである。しかし、同じ構成を有する半導体レーザ駆動回路（IC）同士であっても、実装形態が異なっていたり、また、それらが実装されるプリント基板や、駆動される半導体レーザ素子 14 などの種類が異なっていたりすると、寄生容量や寄生インダクタンスの値も、異なるものとなる。

【0016】従って、抵抗 13、18 の抵抗値及びキャパシタ 17 の容量値の調整は、製品開発の度に、カットアンドトライで、即ち、試作、試験、評価を繰り返しながら行わなければならないため、その分だけ、実装面積が大きくなっていた。

【0017】本発明の目的は、駆動電流波形のオーバーシュート、アンダーシュート及びリングングを防止するための RC フィルタをプリント基板上に搭載する必要がない新規な半導体レーザ駆動回路を提案することにより、開発期間の短縮と実装面積の低減を図ることにある。

【0018】

【課題を解決するための手段】1. (I) 本発明の半導体レーザ駆動回路は、一対のトランジスタと、前記一対のトランジスタの共通接続点と低電位側電源端子との間に接続された定電流源とからなる差動回路を出力回路として使用するものであり、前記差動回路の相補出力端子間にフィルタ回路を備える。前記フィルタ回路は、トランスファゲート FET と、前記トランスファゲート FET のソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第 1 容量素子と、前記トランスファゲート FET の前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前

7

記第1容量素子の容量値と等しい容量値を持つ第2容量素子と、前記トランスファゲートFETのゲート端子と低電位側電源端子との間に接続された抵抗素子と、前記トランスファゲートFETの前記ソース・ドレイン端子の一つと制御端子との間に接続された抵抗素子とから構成される。

【0019】(2) 本発明の半導体レーザ駆動回路は、一対のトランジスタと、前記一対のトランジスタの共通接続点と低電位側電源端子との間に接続された定電流源とからなる差動回路を出力回路として使用するものであり、前記差動回路の相補出力端子間にフィルタ回路を備える。前記フィルタ回路は、トランスファゲートFETと、前記トランスファゲートFETのソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第1容量素子と、前記トランスファゲートFETの前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第1容量素子の容量値と等しい容量値を持つ第2容量素子と、前記トランスファゲートFETのゲート端子と制御端子との間に接続された抵抗素子と、前記トランスファゲートFETの前記ソース・ドレイン端子の一つと高電位側電源端子との間に接続された抵抗素子とから構成される。

【0020】(3) 前記制御端子に与えられる電圧により前記トランスファゲートFETのオン抵抗を制御し、前記フィルタ回路の特性を変化させる。

【0021】2. (1) 本発明の半導体レーザ駆動回路は、一対のトランジスタと、前記一対のトランジスタの共通接続点と低電位側電源端子との間に接続された定電流源とからなる差動回路を出力回路として使用するものであり、前記差動回路の相補出力端子間に互いに並列に接続された複数のフィルタ回路を備える。前記複数のフィルタ回路の各々は、トランスファゲートFETと、前記トランスファゲートFETのソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第1容量素子と、前記トランスファゲートFETの前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第1容量素子の容量値と等しい容量値を持つ第2容量素子と、前記トランスファゲートFETのゲート端子と低電位側電源端子との間に接続された抵抗素子と、前記トランスファゲートFETの前記ソース・ドレイン端子の一つと制御端子との間に接続された抵抗素子とから構成される。また、前記第1及び第2容量素子の容量値は、フィルタ回路ごとに異なる。

【0022】(2) 本発明の半導体レーザ駆動回路は、一対のトランジスタと、前記一対のトランジスタの共通接続点と低電位側電源端子との間に接続された定電流源とからなる差動回路を出力回路として使用するものであり、前記差動回路の相補出力端子間に互いに並列に接続された複数のフィルタ回路を備える。前記複数のフィル

8

タ回路の各々は、トランスファゲートFETと、前記トランスファゲートFETのソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第1容量素子と、前記トランスファゲートFETの前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第1容量素子の容量値と等しい容量値を持つ第2容量素子と、前記トランスファゲートFETのゲート端子と制御端子との間に接続された抵抗素子と、前記トランスファゲートFETの前記ソース・ドレイン端子の一つと高電位側電源端子との間に接続された抵抗素子とから構成される。また、前記第1及び第2容量素子の容量値は、フィルタ回路ごとに異なる。

【0023】(3) 前記制御端子に与えられる電圧により前記トランスファゲートFETのオン抵抗を制御し、前記複数のフィルタ回路の特性をフィルタ回路ごとに变化させる。

【0024】3. (1) 本発明の半導体レーザ駆動回路は、一対のトランジスタと、前記一対のトランジスタの共通接続点と低電位側電源端子との間に接続された定電流源とからなる差動回路を出力回路として使用するものであり、前記差動回路の相補出力端子間にフィルタ回路を備える。前記フィルタ回路は、第1トランスファゲートFETと、前記第1トランスファゲートFETのソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第1容量素子と、前記第1トランスファゲートFETの前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第1容量素子の容量値と等しい容量値を持つ第2容量素子と、前記第1トランスファゲートFETのゲート端子と低電位側電源端子との間に接続された抵抗素子と、前記第1トランスファゲートFETの前記ソース・ドレイン端子の一つと制御端子との間に接続された抵抗素子と、第2トランスファゲートFETと、前記第2トランスファゲートFETのソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第3容量素子と、前記第2トランスファゲートFETの前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第3容量素子の容量値と等しい容量値を持つ第4容量素子と、前記第2トランスファゲートFETのゲート端子と前記制御端子との間に接続された抵抗素子と、前記第2トランスファゲートFETの前記ソース・ドレイン端子の一つと高電位側電源端子との間に接続された抵抗素子とから構成される。

【0025】(2) 前記第1及び第2容量素子の容量値は、前記第3及び第4容量素子の容量値と異なる。

【0026】(3) 前記制御端子に与えられる電圧により前記第1及び第2トランスファゲートFETのオン抵抗を制御し、前記フィルタ回路の特性を変化させる。

【0027】4. (1) 本発明の半導体レーザ駆動回路は、一対のトランジスタと、前記一対のトランジスタの

9

共通接続点と低電位側電源端子との間に接続された定電流源とからなる差動回路を出力回路として使用するものであり、前記差動回路の相補出力端子間に互いに並列に接続された複数のフィルタ回路を備える。前記複数のフィルタ回路の各々は、第1トランスファゲートFETと、前記第1トランスファゲートFETのソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第1容量素子と、前記第1トランスファゲートFETの前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第1容量素子の容量値と等しい容量値を持つ第2容量素子と、前記第1トランスファゲートFETのゲート端子と低電位側電源端子との間に接続された抵抗素子と、前記第1トランスファゲートFETの前記ソース・ドレイン端子の一つと制御端子との間に接続された抵抗素子と、第2トランスファゲートFETと、前記第2トランスファゲートFETのソース・ドレイン端子の一つと前記相補出力端子の一つとの間に接続された第3容量素子と、前記第2トランスファゲートFETの前記ソース・ドレイン端子の他の一つと前記相補出力端子の他の一つとの間に接続され、前記第3容量素子の容量値と等しい容量値を持つ第4容量素子と、前記第2トランスファゲートFETのゲート端子と前記制御端子との間に接続された抵抗素子と、前記第2トランスファゲートFETの前記ソース・ドレイン端子の一つと高電位側電源端子との間に接続された抵抗素子とから構成される。

【0028】(2) 前記第1及び第2容量素子の容量値は、前記第3及び第4容量素子の容量値と異なる。

【0029】(3) 前記第1及び第2容量素子の容量値は、フィルタ回路ごとに異なり、かつ、前記第3及び第4容量素子の容量値は、フィルタ回路ごとに異なる。

【0030】(4) 前記制御端子に与えられる電圧により前記第1及び第2トランスファゲートFETのオン抵抗を制御し、前記複数のフィルタ回路の特性を変化させる。

【0031】5. 前記1.～4.において、前記トランジスタは、FET又はバイポーラトランジスタである。また、前記トランスファゲートFETは、直列接続された複数のFETから構成される。

【0032】6. 本発明の半導体レーザ駆動システムは、前記1.～4.の半導体レーザ駆動回路を備え、さらに、前記半導体レーザ駆動回路の前記一对のトランジスタの一方に接続される第1直流成分カット用キャパシタと、前記半導体レーザ駆動回路の前記一对のトランジスタの他方に接続される第2直流成分カット用キャパシタと、前記第1直流成分カット用キャパシタと半導体レーザ素子との間に接続されるダンピング抵抗と、前記第2直流成分カット用キャパシタに接続される調整抵抗とを備える。

【0033】

10

【発明の実施の形態】以下、図面を参照しながら、本発明の半導体レーザ駆動回路について詳細に説明する。

【0034】〔第1実施の形態〕図1は、本発明の第1実施の形態に関わる半導体レーザ駆動回路を示している。

【0035】本実施の形態の半導体レーザ駆動回路の特徴は、半導体レーザ駆動回路(IC)29内の出力回路2内に、キャパシタ20、21、FET19及び抵抗22、23からなる制御端子を有するRCフィルタ回路が設けられている点にある。

【0036】その結果、半導体レーザ駆動回路29外のプリント基板上にRCフィルタ回路を設ける必要がなく、実装面積の縮小に貢献できる。また、本発明に関わるRCフィルタ回路は、制御端子を有する可変RCフィルタ回路となっている。このため、制御信号VcによりRCフィルタの特性を変えることができ、開発期間の短縮に貢献できる。

【0037】以下、本実施の形態に関わる半導体レーザ駆動回路の具体的構成について説明する。

【0038】本実施の形態に関わる半導体レーザ駆動回路は、増幅器1と、増幅器1の出力信号を受ける出力回路2とから構成される。増幅器1は、単相信号を両相信号に変換する機能を有する。

【0039】出力回路2は、ソースが互いに接続された2つのFET3、4と、FET3、4のソースと低電位(本例では、マイナス電位VSS、例えば、-5V)側電源端子との間に接続された定電流源5を有する。即ち、出力回路2は、FET3、4及び定電流源5とからなるオープンドレイン型差動回路となっている。

【0040】さらに、本実施の形態では、出力回路2は、FET19と、FET3のドレイン端子とFET19のソース・ドレイン端子との間に接続されるキャパシタ20と、FET4のドレイン端子とFET19のソース・ドレイン端子との間に接続されるキャパシタ21と、FET19のゲート端子と低電位側電源端子との間に接続される抵抗22と、FET19とキャパシタ20の接続点と制御端子との間に接続される抵抗23とを有する。

【0041】FET19は、制御信号(制御電位)Vcによって制御される可変抵抗となる。また、FET19は、キャパシタ20、21と直列接続されることにより、抵抗可変RCフィルタ回路として機能する。

【0042】FET19の閾値電圧は、例えば、-1.5Vに設定される。制御信号Vcが高電位(例えば、接地電位VGND)の場合には、FET19は、オフ状態となり、RCフィルタ回路として機能しない。制御信号Vcが低電位(例えば、-3.5V以下の電位)の場合には、FET19は、オン状態となり、キャパシタ20、21及びFET19のオン抵抗により、RCフィルタが形成される。



11

【0043】このRCフィルタは、図11に示すキャパシタ17及び抵抗18からなるRCフィルタと同様の機能を果たす。

【0044】ここで、重要な点は、制御信号Vc（制御電位の調整）により、FET19のオン抵抗を変えることができる点にある。即ち、本実施の形態の半導体レーザ駆動回路では、制御信号Vcを用いて、駆動電流波形の整形（波形歪みの除去）を行うことができる。

【0045】なお、キャパシタ20、21の容量値は、FET3、4及び定電流源5からなる差動回路の対称性を維持するため、同じ値に設定する。

【0046】インダクタンス6、7は、ボンディングワイヤやパッケージリードなどが原因となる寄生インダクタンスを表している。なお、本実施の形態では、簡単のため、寄生成分の代表的なものとして、インダクタンス6、7のみを示した。

【0047】半導体レーザ駆動回路（IC）29は、プリント基板に実装される。インダクタンス8、9は、チョークコイルであり、出力回路2に高電位（本実施の形態では、接地電位VGND）を与える。10、11は、半導体レーザ駆動回路29の出力信号から直流成分をカットする大容量キャパシタである。

【0048】半導体レーザ素子（レーザダイオード）14は、ダンピング抵抗13を介してキャパシタ10の出力側端子に接続されると共に、チョークコイル15及び直流バイアス電流源16を介して低電位側電源端子に接続される。

【0049】負荷抵抗12は、出力回路（差動回路）2の2つの出力端子に生じる負荷の大きさを互いに等しくするためのものである。

【0050】図2は、図1の半導体レーザ駆動回路の動作を示すシミュレーション波形である。

【0051】制御信号Vcが0Vのときは、出力回路2内のRCフィルタ回路が機能していないため、オーバーシュート、アンダーシュート及びリングングによる半導体レーザ素子14の駆動電流波形の劣化が著しくなっている。

【0052】これに対し、制御信号Vcが-3.5Vのときは、出力回路2内のRCフィルタ回路が機能するため、半導体レーザ素子14の駆動電流波形の劣化が大幅に改善される。

【0053】なお、制御信号Vcの電位が低すぎると、駆動電流の立ち上がり時間 $t_r$ 及び立ち下がり時間 $t_f$ が長くなる。つまり、駆動電流波形の改善と立ち上がり／立ち下がり時間 $t_r$ 、 $t_f$ の改善とは、トレードオフの関係にある。従って、制御信号Vcの電位の最適値を製品開発の度に決定する。

【0054】例えば、システムに生じる寄生成分が多くなるほど、駆動電流波形の劣化が著しくなるため、このような場合には、 $t_r$ 及び $t_f$ の値が多少悪くなくても

12

（長くなっても）、これに優先して、オーバーシュート、アンダーシュート及びリングングによる半導体レーザ素子14の駆動電流波形の劣化を改善する。

【0055】このように、本実施の形態に関わる半導体レーザ駆動回路では、状況に応じて、制御信号Vcの電位を調整することにより、システムに最適な駆動電流波形を得ることができる。

【0056】以上、本発明の第1実施の形態に関わる半導体レーザ駆動回路によれば、プリント回路基板上のRCフィルタをなくし、その代わりに、制御端子を有する抵抗可変RCフィルタ回路を半導体レーザ駆動回路（IC）内の出力回路内に設けている。

【0057】従って、半導体レーザ素子を駆動するための駆動電流の波形整形のための調整に関して、試作、試験、評価を繰り返す必要がなくなり、非常に短い時間でその調整を行うことが可能となる。つまり、製品（又はシステム）の開発時間を短縮することができ、開発コストの低減に貢献できる。

【0058】また、駆動電流波形のオーバーシュート、アンダーシュート及びリングングを防止するためのRCフィルタは、半導体レーザ駆動回路（IC）に内蔵されているため、実装面積の縮小に貢献できる。

【0059】〔第2実施の形態〕図3は、本発明の第2実施の形態に関わる半導体レーザ駆動回路を示している。

【0060】本実施の形態の半導体レーザ駆動回路は、上述の第1実施の形態の半導体レーザ駆動回路の変形例であり、出力回路2内に設けるRCフィルタ回路の構成に特徴を有する。即ち、本実施の形態では、FET19のオン抵抗を制御する制御信号Vcが入力される制御端子は、FET19のソース・ドレイン端子ではなく、ゲート端子に与えられる。この場合、制御信号Vcの電位に対するFET19の動作が第1実施の形態と逆になる。

【0061】以下、本実施の形態に関わる半導体レーザ駆動回路の具体的構成について説明する。

【0062】本実施の形態に関わる半導体レーザ駆動回路は、増幅器1と、増幅器1の出力信号を受ける出力回路2とから構成される。増幅器1は、単相信号を両相信号に変換する機能を有する。

【0063】出力回路2は、ソースが互いに接続された2つのFET3、4と、FET3、4のソースと低電位（本例では、マイナス電位VSS、例えば、-5V）側電源端子との間に接続された定電流源5を有する。即ち、出力回路2は、FET3、4及び定電流源5とからなるオープンドレイン型差動回路となっている。

【0064】さらに、本実施の形態では、出力回路2は、FET19と、FET3のドレイン端子とFET19のソース・ドレイン端子との間に接続されるキャパシタ20と、FET4のドレイン端子とFET19のソー

13

ス・ドレイン端子との間に接続されるキャパシタ 21 と、FET 19 のゲート端子と制御端子との間に接続される抵抗 22 と、FET 19 とキャパシタ 20 の接続点と高電位（本実施の形態では、接地電位 V<sub>GND</sub>）側電源端子との間に接続される抵抗 23 とを有する。

【0065】FET 19 は、制御信号（制御電位）V<sub>c</sub> によって制御される可変抵抗となる。また、FET 19 は、キャパシタ 20、21 と直列接続されることにより、抵抗可変 RC フィルタ回路として機能する。

【0066】FET 19 の閾値電圧は、例えば、-1.5 V に設定される。制御信号 V<sub>c</sub> が低電位（例えば、-3.5 V 以下の電位）の場合には、FET 19 は、オフ状態となり、RC フィルタ回路として機能しない。制御信号 V<sub>c</sub> が高電位（例えば、-1.5 V よりも高い電位）の場合には、FET 19 は、オン状態となり、キャパシタ 20、21 及び FET 19 のオン抵抗により、RC フィルタが形成される。

【0067】この RC フィルタは、図 11 に示すキャパシタ 17 及び抵抗 18 からなる RC フィルタと同様の機能を果たす。

【0068】なお、キャパシタ 20、21 の容量値は、FET 3、4 及び定電流源 5 からなる差動回路の対称性を維持するため、同じ値に設定する。

【0069】インダクタンス 6、7 は、ボンディングワイヤやパッケージリードなどが原因となる寄生インダクタンスを表している。なお、本実施の形態では、簡単のため、寄生成分の代表的なものとして、インダクタンス 6、7 のみを示した。

【0070】半導体レーザ駆動回路（IC）29 は、プリント基板に実装される。インダクタンス 8、9 は、チョークコイルであり、出力回路 2 に高電位（本実施の形態では、接地電位 V<sub>GND</sub>）を与える。10、11 は、半導体レーザ駆動回路 29 の出力信号から直流成分をカットする大容量キャパシタである。

【0071】半導体レーザ素子（レーザダイオード）14 は、ダンピング抵抗 13 を介してキャパシタ 10 の出力側端子に接続されると共に、チョークコイル 15 及び直流バイアス電流源 16 を介して低電位側電源端子に接続される。

【0072】負荷抵抗 12 は、出力回路（差動回路）2 の 2 つの出力端子に生じる負荷の大きさを互いに等しくするためのものである。

【0073】以上、本発明の第 2 実施の形態に関わる半導体レーザ駆動回路は、制御信号 V<sub>c</sub> が FET のゲート端子に入力されており、制御信号 V<sub>c</sub> が FET 19 のソース・ドレイン端子に入力される図 1 の半導体レーザ駆動回路とは、制御信号 V<sub>c</sub> の電位に対する FET 19 の挙動が逆となる。但し、第 2 実施の形態においても、第 1 実施の形態と同様の効果を得ることができる。

【0074】即ち、駆動電流波形の整形のための調整に

14

関して、試作、試験、評価を繰り返す必要がなくなり、非常に短い時間でその調整を行うことが可能となり、製品（又はシステム）の開発時間を短縮することができ、開発コストの低減に貢献できる。また、駆動電流波形を改善するための RC フィルタは、半導体レーザ駆動回路（IC）に内蔵されるため、実装面積の縮小に貢献できる。

【0075】[第 3 実施の形態] 図 4 は、本発明の第 3 実施の形態に関わる半導体レーザ駆動回路の主要部を示している。

【0076】本実施の形態の半導体レーザ駆動回路は、上述の第 1 実施の形態の半導体レーザ駆動回路の変形例であり、出力回路 2 内に設ける RC フィルタ回路の構成に特徴を有する。即ち、本実施の形態では、出力回路 2 内に 2 つの抵抗可変 RC フィルタ回路を設けている。各 RC フィルタ回路の構成は、同じとなっているが、キャパシタの容量値が異なる値に設定してある。これにより、第 1 実施の形態の半導体レーザ駆動回路よりも駆動電流波形の精密な調整が可能となる。

【0077】なお、出力回路 2 内に設ける抵抗可変 RC フィルタ回路の数は、3 つ以上にしてもよい。即ち、出力回路 2 内に設ける抵抗可変 RC フィルタ回路の数を多くすればするほど、駆動電流波形の調整が精密に行えるようになる。

【0078】以下、本実施の形態に関わる半導体レーザ駆動回路の具体的構成について説明する。但し、出力回路 2 以外の構成については、上述の第 1 実施の形態（図 1）と同じであるため、その説明は、省略する。

【0079】出力回路 2 は、ソースが互いに接続された 2 つの FET 3、4 と、FET 3、4 のソースと低電位（本例では、マイナス電位 V<sub>SS</sub>、例えば、-5 V）側電源端子との間に接続された定電流源 5 を有する。即ち、出力回路 2 は、FET 3、4 及び定電流源 5 とからなるオープンドレイン型差動回路となっている。

【0080】また、出力回路 2 は、FET 19 と、FET 3 のドレイン端子と FET 19 のソース・ドレイン端子との間に接続されるキャパシタ 20 と、FET 4 のドレイン端子と FET 19 のソース・ドレイン端子との間に接続されるキャパシタ 21 と、FET 19 のゲート端子と低電位（本実施の形態では、マイナス電位 V<sub>SS</sub>）側電源端子との間に接続される抵抗 22 と、FET 19 とキャパシタ 20 の接続点と第 1 制御端子との間に接続される抵抗 23 とを有する（第 1 抵抗可変 RC フィルタ回路）。

【0081】FET 19 は、第 1 制御端子に入力される制御信号（制御電位）V<sub>c1</sub> によって制御される可変抵抗となる。また、FET 19 は、キャパシタ 20、21 と直列接続されることにより、抵抗可変 RC フィルタ回路として機能する。

【0082】FET 19 の閾値電圧は、例えば、-1.

15

5 V に設定される。制御信号  $V_{c1}$  が高電位（例えば、接地電位  $V_{GND}$ ）の場合には、FET19 は、オフ状態となり、RC フィルタ回路として機能しない。制御信号  $V_{c1}$  が低電位（例えば、 $-3.5$  V よりも低い電位）の場合には、FET19 は、オン状態となり、キャパシタ 20、21 及び FET19 のオン抵抗により、RC フィルタが形成される。

【0083】なお、キャパシタ 20、21 の容量値は、FET3、4 及び定電流源 5 からなる差動回路の対称性を維持するため、同じ値に設定する。

【0084】また、出力回路 2 は、FET24 と、FET3 のドレイン端子と FET24 のソース・ドレイン端子との間に接続されるキャパシタ 25 と、FET4 のドレイン端子と FET24 のソース・ドレイン端子との間に接続されるキャパシタ 26 と、FET24 のゲート端子と低電位（本実施の形態では、マイナス電位  $V_{SS}$ ）側電源端子との間に接続される抵抗 27 と、FET24 とキャパシタ 25 の接続点と第 2 制御端子との間に接続される抵抗 28 とを有する（第 2 抵抗可変 RC フィルタ回路）。

【0085】FET24 は、第 2 制御端子に入力される制御信号（制御電位） $V_{c2}$  によって制御される可変抵抗となる。また、FET24 は、キャパシタ 25、26 と直列接続されることにより、抵抗可変 RC フィルタ回路として機能する。

【0086】FET24 の閾値電圧は、例えば、 $-1.5$  V に設定される。制御信号  $V_{c2}$  が高電位（例えば、接地電位  $V_{GND}$ ）の場合には、FET24 は、オフ状態となり、RC フィルタ回路として機能しない。制御信号  $V_{c2}$  が低電位（例えば、 $-3.5$  V よりも低い電位）の場合には、FET24 は、オン状態となり、キャパシタ 25、26 及び FET24 のオン抵抗により、RC フィルタが形成される。

【0087】なお、キャパシタ 25、26 の容量値は、FET3、4 及び定電流源 5 からなる差動回路の対称性を維持するため、同じ値に設定する。また、キャパシタ 20、21 の容量値とキャパシタ 25、26 の容量値は、互いに異なる値に設定される。

【0088】以上、本発明の第 3 実施の形態に関わる半導体レーザ駆動回路では、出力回路 2 内に複数（本実施の形態では、2 つ）の抵抗可変 RC フィルタ回路が設けられ、これに対応して、複数の制御端子から制御信号（本実施の形態では、 $V_{c1}$ 、 $V_{c2}$ ）を入力させ、駆動電流波形の調整を行っている。

【0089】従って、第 3 実施の形態では、第 1 実施の形態に比べて、駆動電流波形の調整を精密に行うことができる。即ち、システムに発生する寄生成分（寄生容量、寄生インダクタンスなど）が広い範囲で変化したとしても、これに対応することができ、 $t_r$  及び  $t_f$  の増加を抑えつつ、波形劣化も改善できる。

16

【0090】また、第 3 実施の形態においても、当然に、第 1 実施の形態と同様の効果を得ることができる。

【0091】即ち、駆動電流波形の整形のための調整に関して、試作、試験、評価を繰り返す必要がなくなり、非常に短い時間でその調整を行うことが可能となり、製品（又はシステム）の開発時間を短縮することができ、開発コストの低減に貢献できる。また、駆動電流波形を改善するための RC フィルタは、半導体レーザ駆動回路（IC）に内蔵されるため、実装面積の縮小に貢献できる。

【0092】〔第 4 実施の形態〕図 5 は、本発明の第 4 実施の形態に関わる半導体レーザ駆動回路の主要部を示している。

【0093】本実施の形態の半導体レーザ駆動回路は、上述の第 2 実施の形態の半導体レーザ駆動回路の変形例であり、出力回路 2 内に設ける RC フィルタ回路の構成に特徴を有する。即ち、本実施の形態では、出力回路 2 内に 2 つの抵抗可変 RC フィルタ回路を設けている。各 RC フィルタ回路の構成は、同じとなっているが、キャパシタの容量値が異なる値に設定してある。これにより、第 2 実施の形態の半導体レーザ駆動回路よりも駆動電流波形の精密な調整が可能となる。

【0094】なお、出力回路 2 内に設ける抵抗可変 RC フィルタ回路の数は、3 つ以上にしてもよい。即ち、出力回路 2 内に設ける抵抗可変 RC フィルタ回路の数を多くすればするほど、駆動電流波形の調整が精密に行えるようになる。

【0095】以下、本実施の形態に関わる半導体レーザ駆動回路の具体的構成について説明する。但し、出力回路 2 以外の構成については、上述の第 2 実施の形態（図 3）と同じであるため、その説明は、省略する。

【0096】出力回路 2 は、ソースが互いに接続された 2 つの FET3、4 と、FET3、4 のソースと低電位（本例では、マイナス電位  $V_{SS}$ 、例えば、 $-5$  V）側電源端子との間に接続された定電流源 5 を有する。即ち、出力回路 2 は、FET3、4 及び定電流源 5 とからなるオープンドレイン型差動回路となっている。

【0097】また、出力回路 2 は、FET19 と、FET3 のドレイン端子と FET19 のソース・ドレイン端子との間に接続されるキャパシタ 20 と、FET4 のドレイン端子と FET19 のソース・ドレイン端子との間に接続されるキャパシタ 21 と、FET19 のゲート端子と第 1 制御端子との間に接続される抵抗 22 と、FET19 とキャパシタ 20 の接続点と高電位（本実施の形態では、接地電位  $V_{GND}$ ）側電源端子との間に接続される抵抗 23 とを有する（第 1 抵抗可変 RC フィルタ回路）。

【0098】FET19 は、第 1 制御端子に入力される制御信号（制御電位） $V_{c1}$  によって制御される可変抵抗となる。また、FET19 は、キャパシタ 20、21

17

と直列接続されることにより、抵抗可変RCフィルタ回路として機能する。

【0099】FET19の閾値電圧は、例えば、 $-1.5\text{V}$ に設定される。制御信号Vc1が低電位の場合には、FET19は、オフ状態となり、RCフィルタ回路として機能しない。制御信号Vc1が高電位（例えば、 $-1.5\text{V}$ よりも高い電位）の場合には、FET19は、オン状態となり、キャパシタ20、21及びFET19のオン抵抗により、RCフィルタが形成される。

【0100】なお、キャパシタ20、21の容量値は、FET3、4及び定電流源5からなる差動回路の対称性を維持するため、同じ値に設定する。

【0101】また、出力回路2は、FET24と、FET3のドレイン端子とFET24のソース・ドレイン端子との間に接続されるキャパシタ25と、FET4のドレイン端子とFET24のソース・ドレイン端子との間に接続されるキャパシタ26と、FET24のゲート端子と第2制御端子との間に接続される抵抗27と、FET24とキャパシタ25の接続点と高電位（本実施の形態では、接地電位VGND）側電源端子との間に接続される抵抗28とを有する（第2抵抗可変RCフィルタ回路）。

【0102】FET24は、第2制御端子に入力される制御信号（制御電位）Vc2によって制御される可変抵抗となる。また、FET24は、キャパシタ25、26と直列接続されることにより、抵抗可変RCフィルタ回路として機能する。

【0103】FET24の閾値電圧は、例えば、 $-1.5\text{V}$ に設定される。制御信号Vc2が低電位の場合には、FET24は、オフ状態となり、RCフィルタ回路として機能しない。制御信号Vc2が高電位（例えば、 $-1.5\text{V}$ よりも高い電位）の場合には、FET24は、オン状態となり、キャパシタ25、26及びFET24のオン抵抗により、RCフィルタが形成される。

【0104】なお、キャパシタ25、26の容量値は、FET3、4及び定電流源5からなる差動回路の対称性を維持するため、同じ値に設定する。また、キャパシタ20、21の容量値とキャパシタ25、26の容量値は、互いに異なる値に設定される。

【0105】以上、本発明の第4実施の形態に関わる半導体レーザ駆動回路では、出力回路2内に複数（本実施の形態では、2つ）の抵抗可変RCフィルタ回路が設けられ、これに対応して、複数の制御端子から制御信号（本実施の形態では、Vc1、Vc2）を入力させ、駆動電流波形の調整を行っている。

【0106】従って、第4実施の形態では、第2実施の形態に比べて、駆動電流波形の調整を精密に行うことができる。即ち、システムに発生する寄生成分（寄生容量、寄生インダクタンスなど）が広い範囲で変化したとしても、これに対応することができ、 $t_r$ 及び $t_f$ の増

18

加を抑えつつ、波形劣化も改善できる。

【0107】また、第4実施の形態においても、当然に、第2実施の形態と同様の効果を得ることができる。

【0108】即ち、駆動電流波形の整形のための調整に関して、試作、試験、評価を繰り返す必要がなくなり、非常に短い時間でその調整を行うことが可能となり、製品（又はシステム）の開発時間を短縮することができ、開発コストの低減に貢献できる。また、駆動電流波形を改善するためのRCフィルタは、半導体レーザ駆動回路（IC）に内蔵されるため、実装面積の縮小に貢献できる。

【0109】[第5実施の形態] 図6は、本発明の第5実施の形態に関わる半導体レーザ駆動回路の主要部を示している。

【0110】本実施の形態の半導体レーザ駆動回路は、上述の第1及び第2実施の形態の半導体レーザ駆動回路を組み合わせた例であり、出力回路2内に設けるRCフィルタ回路の構成に特徴を有する。即ち、本実施の形態では、出力回路2内に2つの抵抗可変RCフィルタ回路を設けている。そのうちの一つは、第1実施の形態に関わるRCフィルタ回路と同じであり、他の一つは、第2実施の形態に関わるRCフィルタ回路と同じとなっている。

【0111】本実施の形態に関わる半導体レーザ駆動回路は、上述の第3及び第4実施の形態の半導体レーザ駆動回路と同様に、駆動電流波形の精密な調整が可能となると共に、制御端子の数が1つで済むため、半導体レーザ駆動回路（IC）の端子数の削減に貢献できる。

【0112】以下、本実施の形態に関わる半導体レーザ駆動回路の具体的構成について説明する。但し、出力回路2以外の構成については、上述の第1及び第2実施の形態（図1及び図3）と同じであるため、その説明は、省略する。

【0113】出力回路2は、ソースが互いに接続された2つのFET3、4と、FET3、4のソースと低電位（本例では、マイナス電位VSS、例えば、 $-5\text{V}$ ）側電源端子との間に接続された定電流源5を有する。即ち、出力回路2は、FET3、4及び定電流源5とからなるオープンドレイン型差動回路となっている。

【0114】また、出力回路2は、FET19と、FET3のドレイン端子とFET19のソース・ドレイン端子との間に接続されるキャパシタ20と、FET4のドレイン端子とFET19のソース・ドレイン端子との間に接続されるキャパシタ21と、FET19のゲート端子と低電位（本実施の形態では、マイナス電位VSS）側電源端子との間に接続される抵抗22と、FET19とキャパシタ20の接続点と制御端子との間に接続される抵抗23とを有する（第1抵抗可変RCフィルタ回路）。

【0115】FET19は、制御端子に入力される制御

19

信号（制御電位） $V_c$ によって制御される可変抵抗となる。また、FET 19は、キャパシタ 20、21と直列接続されることにより、抵抗可変RCフィルタ回路として機能する。

【0116】FET 19の閾値電圧は、例えば、 $-1.5V$ に設定される。制御信号 $V_c$ が高電位の場合には、FET 19は、オフ状態となり、RCフィルタ回路として機能しない。制御信号 $V_c$ が低電位（例えば、 $-3.5V$ よりも低い電位）の場合には、FET 19は、オン状態となり、キャパシタ 20、21及びFET 19のオン抵抗により、RCフィルタが形成される。

【0117】なお、キャパシタ 20、21の容量値は、FET 3、4及び定電流源 5からなる差動回路の対称性を維持するため、同じ値に設定する。

【0118】また、出力回路 2は、FET 24と、FET 3のドレイン端子とFET 24のソース・ドレイン端子との間に接続されるキャパシタ 25と、FET 4のドレイン端子とFET 24のソース・ドレイン端子との間に接続されるキャパシタ 26と、FET 24のゲート端子と制御端子との間に接続される抵抗 27と、FET 24とキャパシタ 25の接続点と高電位（本実施の形態では、接地電位VGND）側電源端子との間に接続される抵抗 28とを有する（第2抵抗可変RCフィルタ回路）。

【0119】FET 24は、制御端子に入力される制御信号（制御電位） $V_c$ によって制御される可変抵抗となる。また、FET 24は、キャパシタ 25、26と直列接続されることにより、抵抗可変RCフィルタ回路として機能する。

【0120】FET 24の閾値電圧は、例えば、 $-1.5V$ に設定される。制御信号 $V_c$ が低電位の場合には、FET 24は、オフ状態となり、RCフィルタ回路として機能しない。制御信号 $V_c$ が高電位（例えば、 $-1.5V$ よりも高い電位）の場合には、FET 24は、オン状態となり、キャパシタ 25、26及びFET 24のオン抵抗により、RCフィルタが形成される。

【0121】なお、キャパシタ 25、26の容量値は、FET 3、4及び定電流源 5からなる差動回路の対称性を維持するため、同じ値に設定する。また、キャパシタ 20、21の容量値とキャパシタ 25、26の容量値は、互いに異なる値に設定される。

【0122】図 7は、制御信号 $V_c$ の電位とRCフィルタを構成するFETのオン抵抗 $R_{on}$ との関係を示している。

【0123】本実施の形態では、抵抗可変RCフィルタ回路は、制御信号 $V_c$ の電位に応じて、以下のような動作を行う。なお、FET 19、24の閾値電圧は、 $-1.5V$ とし、 $V_{SS}$ は、 $-5V$ とする。

【0124】①  $-1.5V < V_c < 0V$  のときFET 19は、オフ状態、FET 24は、オン状態

20

となる。制御信号 $V_c$ により、FET 24のオン抵抗 $R_{on}$ を調整し、駆動電流波形の整形を行う。

【0125】②  $-3.5V < V_c < -1.5V$  のときFET 19、24は、共に、オフ状態となるため、RCフィルタ機能は、なくなる。

【0126】③  $-5V < V_c < -3.5V$  のときFET 19は、オン状態、FET 24は、オフ状態となる。制御信号 $V_c$ により、FET 19のオン抵抗 $R_{on}$ を調整し、駆動電流波形の整形を行う。

【0127】以上、本発明の第5実施の形態に関わる半導体レーザ駆動回路では、出力回路 2内には、第1及び第2の抵抗可変RCフィルタ回路が設けられ、これら2つの抵抗可変RCフィルタ回路の特性は、1つの制御端子から入力される制御信号 $V_c$ により制御される。つまり、第1及び第2の抵抗可変RCフィルタ回路のいずれか一方を機能させることにより、駆動電流波形に対して、きめの細かい精密な調整を行うことができる。

【0128】また、駆動電流波形の精密な調整を行うことができると共に、半導体レーザ駆動回路（IC）に新規に設ける制御端子の数は、1つでよいと、端子数の増加によるチップ面積の増大などを防止できる。

【0129】〔第6実施の形態〕図 8は、本発明の第6実施の形態に関わる半導体レーザ駆動回路の主要部を示している。

【0130】本実施の形態の半導体レーザ駆動回路は、上述の第5実施の形態の半導体レーザ駆動回路の変形例である。本実施の形態の半導体レーザ駆動回路の特徴は、図 6に示す第5実施の形態のX部分（RCフィルタ回路）を、半導体レーザ駆動回路内の出力回路 2内に複数 $X_1, \dots, X_n$ （ $n$ は、2以上の自然数）設けた点にある。

【0131】このような構成によれば、駆動電流波形の調整を第5実施の形態よりも精密に行うことができる。即ち、システムに発生する寄生成分（寄生容量、寄生インダクタンスなど）が広い範囲で変化したとしても、これに対応することができ、 $t_r$ 及び $t_f$ の増加を抑えつつ、波形劣化も改善できる。

【0132】〔その他〕上述の第1乃至第6実施の形態において、RCフィルタ回路を構成するFET 19、24は、それぞれ、直列接続された複数のFETから構成されていてもよい。一例として、図 9に、第1実施の形態（図 1）におけるRCフィルタ回路内のFET 19を直列接続された複数のFETから構成した場合を示す。

【0133】また、差動回路を構成するトランジスタは、本例では、FET 3、4であったが、これに代えて、バイポーラトランジスタを用いてもよい。一例として、図 10に、第1実施の形態（図 1）におけるRCフィルタ回路内のFET 3、4をバイポーラトランジスタに変えた場合を示す。

【0134】

21

【発明の効果】以上、説明したように、本発明の半導体レーザ駆動回路によれば、駆動電流波形のオーバーシュート、アンダーシュート及びリングを防止するためのRCフィルタをプリント基板上に搭載する必要がない新規な半導体レーザ駆動回路を提供することができ、開発期間の短縮と実装面積の低減を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施の形態に関わる半導体レーザ駆動回路を示す図。

【図2】図1の半導体レーザ駆動回路の動作を示す波形図。

【図3】本発明の第2実施の形態に関わる半導体レーザ駆動回路を示す図。

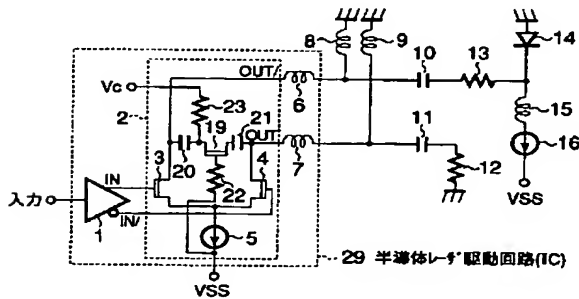
【図4】本発明の第3実施の形態に関わる半導体レーザ駆動回路の主要部を示す図。

【図5】本発明の第4実施の形態に関わる半導体レーザ駆動回路の主要部を示す図。

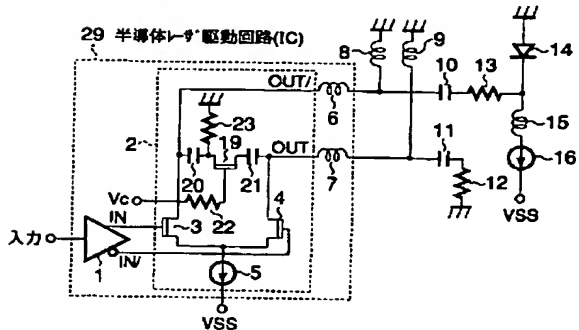
【図6】本発明の第5実施の形態に関わる半導体レーザ駆動回路の主要部を示す図。

【図7】図6の半導体レーザ駆動回路の出力回路内のRCフィルタの特性を示す図。

【図1】



【図3】



22

\*【図8】本発明の第6実施の形態に関わる半導体レーザ駆動回路の主要部を示す図。

【図9】図1の半導体レーザ駆動回路の変形例を示す図。

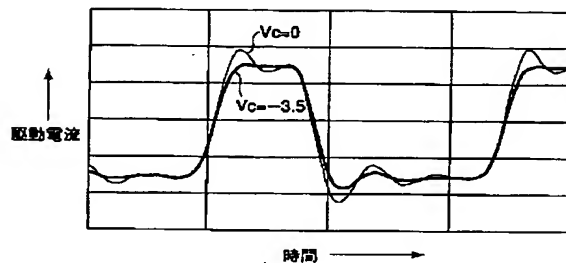
【図10】図1の半導体レーザ駆動回路の変形例を示す図。

【図11】従来の半導体レーザ駆動回路の主要部を示す図。

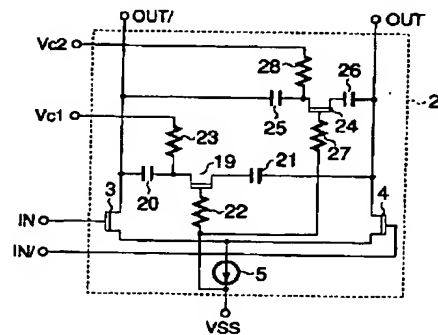
【符号の説明】

- |                            |              |
|----------------------------|--------------|
| 1                          | : 増幅器、       |
| 2                          | : 出力回路、      |
| 3, 4, 19, 24               | : FET、       |
| 5                          | : 定電流源、      |
| 6, 7                       | : インダクタンス、   |
| 10, 11, 17, 20, 21, 25, 26 | : キャパシタ、     |
| 12, 13, 18, 22, 23, 27, 28 | : 抵抗、        |
| 14                         | : 半導体レーザ素子、  |
| 8, 9, 15                   | : チョークコイル、   |
| 16                         | : 直流バイアス電流源。 |

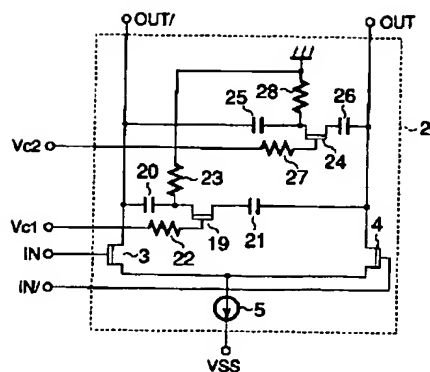
【図2】



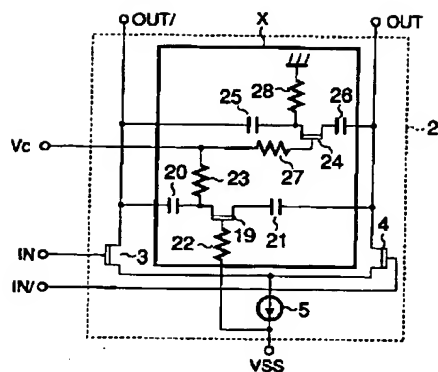
【図4】



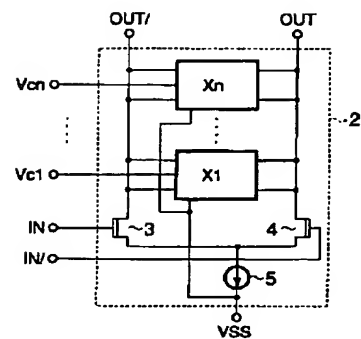
【図 5】



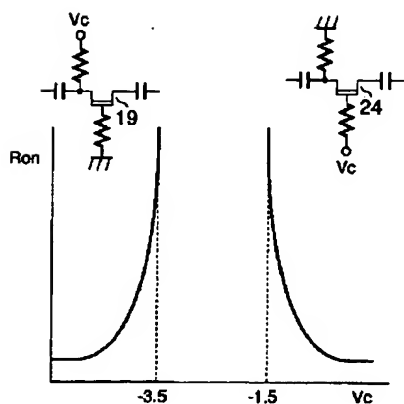
【図 6】



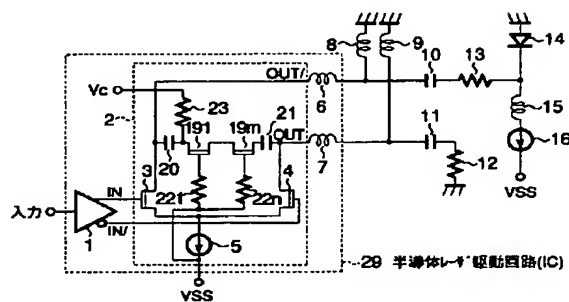
【図 8】



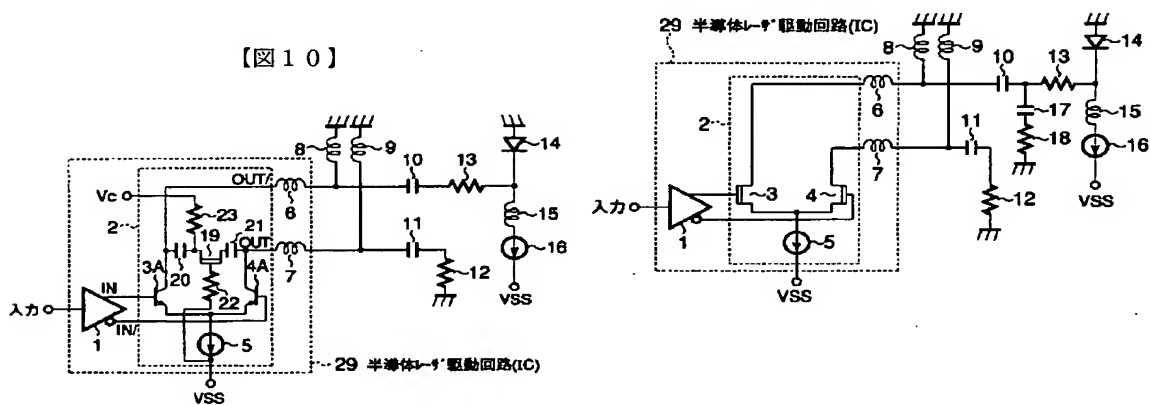
【図 7】



【図 9】



【図 11】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-162290

(43)Date of publication of application : 23.06.1995

(51)Int.Cl.

H03K 19/0952

H03F 3/45

H03K 17/16

H03K 17/687

(21)Application number : 05-309223

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.12.1993

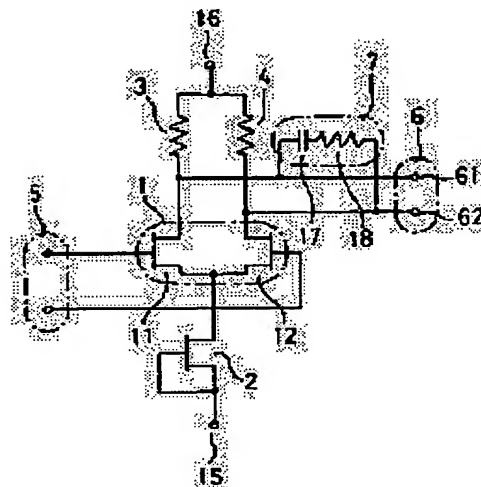
(72)Inventor : KANBAYASHI HIROSHI  
SUEYOSHI SATOSHI

### (54) DIFFERENTIAL CIRCUIT

**(57)Abstract:**

**PURPOSE:** To easily constitute a circuit capable of suppressing ringing generated at the time of switching by connecting a pair of complementary output terminals in a differential circuit by a circuit including a capacitive element.

**CONSTITUTION:** The differential circuit has a differential pair 1 constituted of FETs 11, 12. A circuit 7 including a capacitive element formed by an electrostatic capacitor 17 and a resistor 18 is connected between terminals 61, 62 constituting a complementary output terminal pair 6 connected to the terminals of the FETs 11, 12 which are opposed to the common terminal of the FETs 11, 12, so that ringing generated from the outputs of the terminals 61, 62 at the time of high speed switching can be suppressed. Consequently a differential circuit making it unnecessary to connect a capacitor connected to ground on a position separated from the terminal pair to respective output terminals in the pair and capable of forming the circuit 7 on the same chip and easily constituting a circuit for suppressing ringing can be obtained by the constitution.



## LEGAL STATUS

**[Date of request for examination]**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-162290

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0952				
H 0 3 F 3/45	Z			
H 0 3 K 17/16	H	9184-5 J		
		8839-5 J	H 0 3 K 19/ 094	V
		9473-5 J	17/ 687	H

審査請求 未請求 請求項の数 4 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平5-309223

(22) 出願日 平成5年(1993)12月9日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 神林 弘

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 末吉 聡

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 寒川 誠一

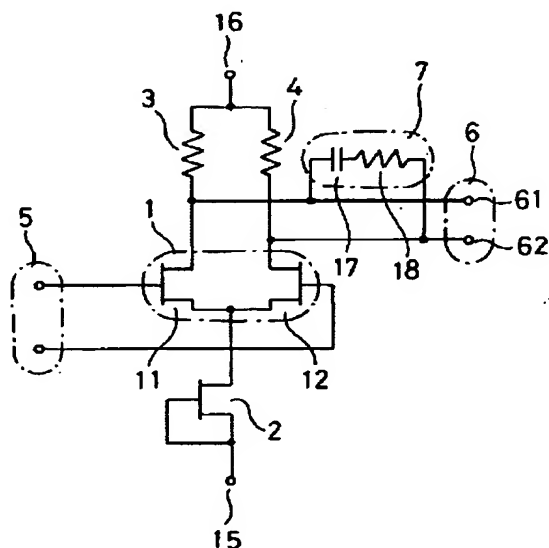
(54) 【発明の名称】 差動回路

(57) 【要約】

【目的】 スイッチング時に発生するリングングを抑制することができる差動回路である。

【構成】 差動対 1 を有する差動回路において、差動対を構成するトランジスタの共通接続端子とは反対側の端子に接続された差動回路の相補出力端子対 6 を構成する端子のそれぞれ 6 1・6 2 相互間が少なくとも容量性素子を含む回路 7 により接続されている差動回路である。

本発明 (第 1 実施例)



1

## 【特許請求の範囲】

【請求項 1】 差動対 (1) を有する差動回路において、  
差動対を構成するトランジスタの共通接続端子とは反対側の端子に接続された前記差動回路の相補出力端子対 (6) を構成する端子のそれぞれ (61・62) 相互間が少なくとも容量性素子を含む回路 (7) をもって接続されてなることを特徴とする差動回路。

【請求項 2】 前記差動回路は複数の差動対 (1) を有し、前記相補出力端子対 (6) を構成する端子のそれぞれ (61・62) 相互間を接続する容量性素子を含む回路 (7) による接続が、少なくとも 2 箇所において実施されてなることを特徴とする請求項 1 記載の差動回路。

【請求項 3】 容量性素子を含む回路 (7) を構成する容量性素子は可変静電容量 (19) であることを特徴とする請求項 1 または請求項 2 記載の差動回路。

【請求項 4】 前記容量性素子を含む回路 (7) は可変抵抗 (20) を有することを特徴とする請求項 1、請求項 2、または、請求項 3 記載の差動回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、差動回路の改良に関する。特に、スイッチング時に発生するリンギングを抑制する回路の改良に関する。

## 【0002】

【従来の技術】 従来、バイポーラトランジスタを使用する ECL (emitter coupled logic) 回路または電界効果形トランジスタ (FET) を使用する SCFL (source coupled FET logic) 回路等の差動対を基本回路とする差動回路は、高速動作をさせることが可能なため、多くの回路に利用されてきた。

## 【0003】 図 5 参照

図 5 は SCFL 回路を使用する従来技術に係る差動回路の 1 実施例を示す回路図である。図 5 において、1 は差動対であり、差動対 1 を構成する第 1 の FET 11 のソースと第 2 の FET 12 のソースとは共通接続され、第 3 の FET よりなる定電流回路 2 を介して電源端子の一端 15 に接続されている。第 1 の FET 11 のゲートと第 2 の FET 12 のゲートとは差動入力端子 5 より差動入力が入加される。第 1 の FET 11 のドレインと第 2 の FET 12 のドレインとはそれぞれ負荷抵抗 3 と負荷抵抗 4 とを介して電源の他端 16 に接続されている。そして、差動対 1 の相補出力端子対 6 を構成する端子 61・62 のそれぞれは、第 1 の FET 11 のドレインと第 2 の FET 12 のドレインとに接続されており、次段に相補出力を出力する。17 は相補出力端子対 6 を構成する端子 61・62 に接続されている静電容量であり、静電容量 17 のそれぞれの他端は接地されている。

【0004】 この静電容量 17 は、差動回路をスイッチングさせた時に相補出力端子対 6 のそれぞれに発生する

2

リンギングを削減するための素子であり、高速動作をする回路においてしばしば発生するリンギングを防止するためのものである。

## 【0005】

【発明が解決しようとする課題】 上記のとおり、静電容量 17 は相補出力端子対 6 と接地との間に接続することゝされているが、接地は相補出力端子対 6 と隔離した場所にしかない場合が多いので、従来技術に係る差動回路を集積回路として半導体チップ上に形成する際に困難をともなう場合がある。換言すれば、静電容量 17 を配置するスペースがなく、差動回路の集積化が困難であると云う欠点があった。

【0006】 本発明の目的は、この欠点を解消することにより、スイッチング時に発生するリンギングを抑制する回路を構成しやすくする差動回路を提供することにある。

## 【0007】

【課題を解決するための手段】 上記の目的は、差動対 (1) を有する差動回路において、差動対を構成するトランジスタの共通接続端子とは反対側の端子に接続された前記の差動回路の相補出力端子対 (6) を構成する端子のそれぞれ (61・62) 相互間が少なくとも容量性素子を含む回路 (7) をもって接続されている差動回路によって達成される。

## 【0008】 そして、前記の差動回路は複数の差動対

(1) を有し、前記の相補出力端子対 (6) を構成する端子のそれぞれ (61・62) 相互間を接続する容量性素子を含む回路 (7) による接続が、少なくとも 2 箇所において実施されているとさらに効果的である。

【0009】 また、容量性素子を含む回路 (7) を構成する容量性素子は可変静電容量 (19) であると、上記いずれの場合も、リンギングが抑制される周波数範囲の調整ができる。

【0010】 なお、前記の容量性素子を含む回路 (7) が可変抵抗 (20) を有すると、上記いずれの場合も、インピーダンス整合が容易である。

## 【0011】

【作用】 従来技術に係る差動回路は、相補出力端子対 6 を構成する端子のそれぞれ 61・62 と接地との間に静電容量 17 を配設し、相補出力端子対 6 を構成する端子のそれぞれ 61・62 と大地との間に発生する高周波成分をアースすることにより、相補出力端子対 6 を構成する端子 61・62 相互間に発生するリンギングを削減している。これに対し、本発明に係る差動回路は、相補出力端子対 6 を構成する端子 61・62 相互を容量性素子を含む回路 7 を使用して接続し、相補出力端子対 6 を構成する端子 61・62 の一方に現れるリンギングを他方に伝達する。換言すると、相補出力端子対 6 を構成する端子 61・62 相互間に発生する高周波成分を容量性素子を含む回路 7 を介して短絡させることにより、出力信

## 3

号に含まれるリンギングを削減している。

【0012】そして、容量性素子を含む回路7が設けられる相補出力端子対6は、差動対1の相補出力端子対6であっても、差動対1の出力を入力される出力バッファ対の相補出力端子対6であっても、相補出力端子対6を構成する端子61・62相互は比較的に近い場所にあるから、容量性素子を含む回路7を設けることは容易である。

【0013】

【実施例】以下、図面を参照して、本発明に係る差動回路についてさらに詳細に説明する。

【0014】

#### 第1実施例（請求項1に対応）

図1参照

図1は本発明の第1実施例に係る差動回路の回路図である。図1において、1はSCFL回路よりなる差動対であり、差動対1を構成する第1のFET11のソースと第2のFET12のソースとは相互に接続され、第3のFETよりなる定電流回路2を介して電源の一端15に接続されている。第1のFET11のゲートと第2のFET12のゲートとは差動入力端子5より差動入力10が印加される。第1のFET11のドレインと第2のFET12のドレインとはそれぞれ負荷抵抗3と負荷抵抗4とを介して電源の他端16に接続されている。そして、差動対1の相補出力端子対6を構成する端子61・62のそれぞれは、第1のFET11のドレインと第2のFET12のドレインとに接続されており、次段に相補出力を出力する。7は静電容量17と抵抗18とからなる容量性素子を含む回路である。

【0015】容量性素子を含む回路7は、静電容量17により相補出力端子対6相互間の出力に現れるリンギングを抑制し、かつ、抵抗18によりインピーダンス整合を容易に図る機能を呈する。

【0016】

#### 第2実施例（請求項1、請求項2に対応）

図2参照

図2は本発明の第2実施例に係る差動回路の回路図である。8は差動対1の次段の出力バッファ対であり、FETをソースフォロワーとして使用しており、後段へのレベルシフトの機能を持たせることもできる。出力バッファ対8は第4のFET13と第5のFET14とからなり、差動対1の相補出力端子対6を経由して第4のFET13のゲートと第5のFET14のゲートとに差動入力が入力されている。第4のFET13のソースと第5のFET14のソースとはそれぞれ負荷抵抗9と負荷抵抗10とを介して電源の一端15に接続されている。第4のFET13と第5のFET14とのそれぞれのドレインは電源の他端16に接続されている。出力バッファ対8の相補出力端子対6を構成する端子61・62のそれぞれは、第4のFET13のソースと第5のFET14

## 4

4のソースとに接続されており、次段に相補出力を出力する。図2においては、容量性素子を含む回路7は出力バッファ対8の相補出力端子対6を構成する端子61・62相互間に接続されている。

【0017】このように、容量性素子を含む回路7は差動回路に含まれる相補出力端子対6のいづれに接続されてもよい。差動対1に続いて、他の差動対（図示せず。）が縦続されてもよく、この他の差動対（図示せず。）に続いて出力バッファ対8が接続されている場合には、容量性素子を含む回路7は差動対1の相補出力端子対6を構成する端子61・62相互間に接続されても、他の差動対（図示せず。）の相補出力端子対を構成する端子相互間に接続されても、出力バッファ対8の相補出力端子対6を構成する端子61・62相互間に接続されてもよい。

【0018】さらに、差動回路が差動対1と出力バッファ対8との組み合わせからなる多段回路の場合には、相補出力端子対が複数個存在するが、そのときは、容量性素子を含む回路7は相補出力端子対の少なくとも2箇所に設けられれば、差動回路の出力に現れるリンギングを効果的に抑制できる（請求項2に対応）。

【0019】

#### 第3実施例（請求項3に対応）

図3参照

図3は本発明の第3実施例に係る差動回路の回路図である。第3実施例においては、容量性素子を含む回路7は可変静電容量19と抵抗18とから構成されている。このように、静電容量が可変にされていると、抑制できるリンギングの周波数の範囲を調整することができる。

【0020】

#### 第4実施例（請求項4に対応）

図4参照

図4は本発明の第4実施例に係る差動回路の回路図である。第4実施例においては、容量性素子を含む回路7は静電容量17と可変抵抗20とから構成されている。このように、抵抗が可変にしていると、インピーダンスを整合することが容易である。

【0021】

【発明の効果】以上説明したように、本発明に係る差動回路においては、差動回路中の相補出力を出力する相補出力端子対相互間を容量性素子を含む回路で接続することゝされているので、容量性素子を含む回路により高周波成分が短絡され、相補出力に含まれるリンギングは抑制される。また、相補出力端子対は通常隣り合った位置にあるので、容量性素子を含む回路を挿入することは容易である。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る差動回路の回路図である。

【図2】本発明の第2実施例に係る差動回路を示す回路

5

図である。

【図 3】本発明の第 3 実施例に係る差動回路の回路図である。

【図 4】本発明の第 4 実施例に係る差動回路の回路図である。

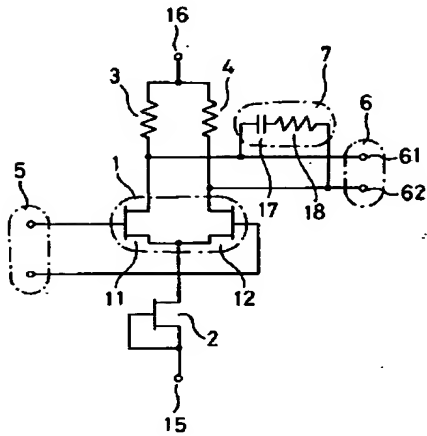
【図 5】従来技術に係る差動回路の回路図である。

【符号の説明】

- 1 差動対  
2 定電流回路  
3、4、9、10 負荷抵抗  
5 差動入力端子  
6 相補出力端子対  
6 1、6 2 相補出力端子対を構成する端子

【図 1】

本発明（第 1 実施例）



6

\* 7 容量性素子を含む回路

8 出力バッファ対

1 1 第 1 の F E T

1 2 第 2 の F E T

1 3 第 4 の F E T

1 4 第 5 の F E T

1 5 電源の一端

1 6 電源の他端

1 7 静電容量

10 1 8 抵抗

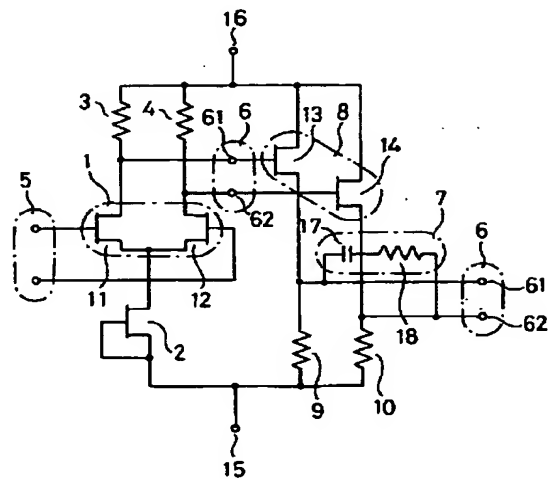
1 9 可変静電容量

2 0 可変抵抗

\*

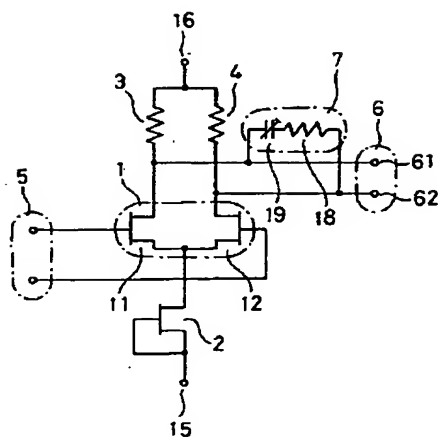
【図 2】

本発明（第 2 実施例）



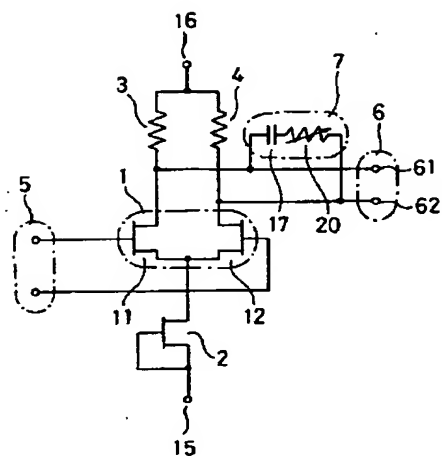
【図 3】

本発明（第 3 実施例）



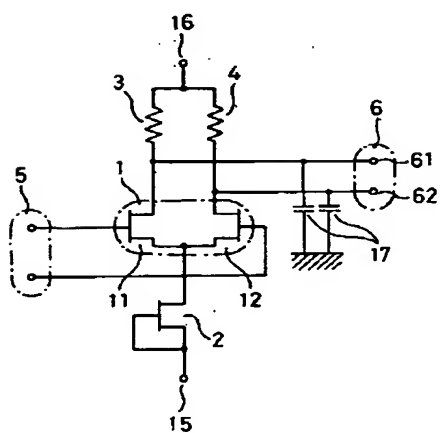
【図 4】

本発明（第 4 実施例）



【図 5】

従来技術



フロントページの続き

(51) Int. Cl. 6

H 0 3 K 17/687

識別記号

庁内整理番号

F I

技術表示箇所